

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020089928 A
(43)Date of publication of application: 30.11.2002

(21)Application number: 1020010028977
(22)Date of filing: 25.05.2001

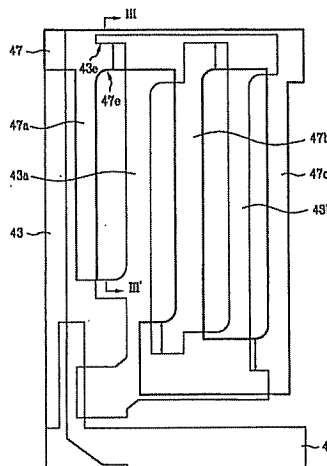
(71)Applicant: LG.PHILIPS LCD CO., LTD.
(72)Inventor: LEE, JUN HO

(51)Int. Cl G02F 1/1343

(54) IN-PLANE SWITCHING MODE LIQUID CRYSTAL DISPLAY DEVICE

(57) Abstract:

PURPOSE: An in-plane switching mode liquid crystal display device is provided to minimize or remove overlapped areas between common electrodes and data electrodes for preventing the generation of disclination without reducing the aperture rate, thereby improving the wide viewing angle and the screen quality. CONSTITUTION: An in-plane switching mode liquid crystal display device includes first and second substrates, gate and data wires (41,43) defining pixel areas on the first substrate, a plurality of common and data electrodes(47a-47c,43a-43b) formed alternately in the pixel areas with a predetermined interval, common lines(47) formed in parallel to the gate wires and branched into the plurality of common electrodes, thin film transistors formed around the intersections between the gate and data wires, and a liquid crystal layer formed between the first and second substrates, wherein the data electrodes are connected to the thin film transistors at a side, and the data electrodes and the common lines are overlapped together with a minimum area not to influence on the electric fields generated between the common and data electrodes.



copyright KIPO 2003

Legal Status

Date of request for an examination (20011012)
Notification date of refusal decision (00000000)
Final disposal of an application (registration)
Date of final disposal of an application (20040227)
Patent registration number (1004251570000)
Date of registration (20040318)
Number of opposition against the grant of a patent ()
Date of opposition against the grant of a patent (00000000)

Number of trial against decision to refuse ()

Date of requesting trial against decision to refuse ()

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl.⁷
G02F 1/1343

(11) 공개번호 특2002-0089928
(43) 공개일자 2002년 11월 30일

(21) 출원번호	10-2001-0028977
(22) 출원일자	2001년 05월 25일
(71) 출원인	엘지.필립스 엘시디 주식회사
	서울 영등포구 여의도동 20번지
(72) 발명자	이준호
	대구광역시북구동천동915번지칠곡3차화성타운105동702호
(74) 대리인	김용인, 심창섭

심사청구 : 있음

(54) 회전계방식 액정표시장치

요약

본 발명은 공통전극과 데이터 전극간의 간격을 고려하여 두 전극간의 오버랩 형태를 조정함으로써 전경을 최소화하여 화질을 개선시킬 수 있는 회전계방식 액정표시장치를 제공하기 위한 것으로서, 본 발명의 회전계방식 액정표시장치는 제1기판 및 제2기판과, 제1기판 상에 화소영역을 정의하는 게이트 배선 및 데이터 배선과, 화소영역 내에 서로 교번하여 일정한 간격을 두고 형성된 복수의 공통 전극들 및 데이터 전극들과, 게이트 배선과 평행한 방향으로 형성되며 복수의 공통 전극들이 분기되는 공통배선과, 각 게이트 배선과 데이터 배선의 교차 부근에 형성된 박막트랜지스터와, 제 1 기판과 제 2 기판 사이에 형성된 액정층으로 구성되며, 복수의 데이터 전극들은 일측이 박막트랜지스터에 연결되고 데이터 전극과 공통 배선은 공통 전극과 데이터 전극간에 발생하는 전계에 영향을 주지 않도록 최소의 면적으로 오버랩되는 것을 특징으로 한다.

대표도

도5

색인어

전경(Discination), 공통 전극, 공통 배선, 데이터 전극

명세서

도면의 간단한 설명

- 도 1은 일반적인 액정표시장치의 구성도
 도 2a 내지 2b는 종래 기술에 따른 회전계방식 액정표시장치의 평면도
 도 3a 내지 3b는 도 2b의 I-I'선 및 II-II'선에 따른 단면도
 도 4는 본 발명의 제 1 실시예에 따른 회전계방식 액정표시장치의 평면도
 도 5는 본 발명의 제 2 실시예에 따른 회전계방식 액정표시장치의 평면도
 도 6은 본 발명 제 2 실시예의 회전계방식 액정표시장치에 따른 액정 방향자의 위치를 보여주는 도면
 도 7은 도 5의 III-III'선에 따른 단면도
 도 8a 및 8b는 본 발명 제 2 실시예의 회전계방식 액정표시장치에 따른 화소영역의 전계방향을 보여주는 도면
 도 9는 본 발명의 제 3 실시예에 따른 회전계방식 액정표시장치의 평면도
 도 10은 본 발명 제 3 실시예의 회전계방식 액정표시장치에 따른 화소영역에서의 전계방향을 보여주는 도면
 도 11은 본 발명의 제 4 실시예에 따른 회전계방식 액정표시장치의 평면도
- | | |
|----------------------------|---------------------------|
| 41 : 게이트 배선 | 43 : 데이터 배선 |
| 43a, 43b : 제 1, 제 2 데이터 전극 | 47a~47c : 제 1 ~ 제 3 공통 전극 |
| 45 : 박막트랜지스터 | 47 : 공통 배선 |
| 43e : 데이터 전극의 예지 | 47e : 공통 배선의 예지 |

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 특히 수평 전계에 의해 액정을 구동하는 횡전계방식(IPS: In Plane Switching Mode) 액정표시장치에 관한 것이다.

일반적으로, 액정표시장치는 두 장의 유리 기판과 그 사이에 봉입된 액정층으로 구성되며, 상기 액정층에 신호전압을 스위칭하는 스위칭소자로 TFT(Thin Film Transistor)를 이용한다.

즉, 도 1에 도시된 바와 같이, 액정표시소자는 스위칭 소자인 박막트랜지스터가 형성되어 있는 하부 유리 기판(1)과, 칼라 필터(Color Filter)가 형성되어 있는 상부 유리 기판(2) 사이에 액정(3)을 주입하여, 상기 액정의 전기 광학적 특성을 이용하는 것에 의해 영상효과를 얻는 비발광소자이다.

이와 같은 액정표시소자는 소비 전력이 낮고, 휴대성이 양호하여 이동이 편리하므로 현재까지 주류를 이루고 있는 CRT(Cathode Ray Tube)를 대체할 수 있는 차세대 디스플레이 소자로 각광 받고 있다.

상기 하부 유리 기판(1) 상에는 TFT어레이(4), 화소전극(4a) 및 배향막(8)이 구성되며, 상부 유리 기판(2) 상에는 광차단층(5), 칼라필터층(6), 공통전극(7) 및 배향막(8)이 구성된다.

하부 유리 기판(1)과 상부 유리 기판(2)은 예폭시 수지와 같은 시일재(9)에 의해 합착되고, PCB(10) 상의 구동회로(11)는 TCP(Tape Carrier Package)(12)를 통해 하부 유리 기판(1)과 연결되며, 상기 구동회로(11)는 화상을 디스플레이하기 위한 각종 제어신호 및 신호 전압 등을 만들어 출력한다.

그러나 이와 같은 TN모드 액정표시소자는 두 기판에 각각 전극을 형성하고 그 사이에 채워진 액정 분자들이 기판에 평행하며 일정한 피치(pitch)를 가지고 나선상으로 꼬여 있도록 한 다음, 전극에 전압을 가하여 액정 방향자를 구동하는 방식이다.

하지만, 이러한 TN모드 액정표시소자는 오프(off) 상태에서 빛이 완전히 차단되지 않기 때문에 콘트라스트가 좋지 않을 뿐 아니라, 콘트라스트 비(Contrast Ratio)가 각도에 따라 변하여 중간 계조의 휘도가 반전하는 그레이 인버전(Gray inversion) 등이 발생하여 안정적인 화상을 얻기 어렵고, 화질이 정면에 대해서 대칭이 되지 않는 등 시야각이 좋지 않은 문제점을 가지고 있다.

이러한 액정표시소자의 협소한 시야각 문제를 해결하기 위한 연구가 활발하게 진행되고 있는데, 그 중 하나는 보상 필름으로 시야각을 보상하는 필름 보상형 모드(Film compensated mode)와, 화소를 여러 도메인으로 나누어 각 도메인의 주시야각 방향을 달리함으로써 시야각을 보상하는 멀티 도메인 모드(Multi domain mode)와, OCB(Optically Compensated Birefringence mode)와 같은 기술이 있다.

한편, 수직배향(VA: Vertical Alignment) 모드 액정표시소자는 유전율 이방성이 음(-)인 네가티브형 액정과 수직배향막을 이용하는 것으로서, 전압이 인가되지 않은 상태에서는 액정 분자의 장축이 배향막 평면에 수직하게 배열하고, 기판에 부착되어 있는 편광판의 편광축을 상기 액정분자의 장축과 수직하게 배치하여 흑색바탕모드(Normally Black Mode)를 표시한다. 반면에 전압이 인가되면 네가티브형 액정 분자가 전계에 대해 비스듬하게 배향하는 성질에 의해 액정분자의 장축이 배향막 평면의 수직 방향에서 배향막 평면쪽으로 움직여 빛을 투과시킨다.

이와 같은 수직배향 액정표시소자는 트위스트 네마틱 방식에 비해 콘트라스트 비, 응답속도 등의 여러 가지 면에서 우수하고, 액정 분자가 쓰러지는 방향을 정해진 다수의 방향으로 분할하고, 보상 필름을 사용할 경우, 효과적으로 광시야각을 구현할 수 있다고 알려져 있다.

그러함에도 불구하고, 상기 VA모드 액정표시소자, 광보상판이 장착된 트위스트 네마틱(Twisted Nematic) 액정표시소자, 멀티 도메인(Multi domain) 액정표시장치 등과 같은 여러 형태의 액정표시소자들은 아직도 시야각에 따라 콘트라스트 비가 저하되고 색상이 변하는 문제를 완전히 해결하기는 힘든 실정이다.

이에 동일 기판 상에 두 개의 전극(데이터 전극과 공통전극)을 위치시켜 기판과 평행한 전계에 의해 액정의 배열을 제어하는 횡전계 모드(In plane switching mode) 액정표시장치가 제안되었다.

도 2a 내지 2b는 종래 기술에 따른 횡전계방식 액정표시장치의 평면도이다.

도 2a에 도시된 바와 같이, 게이트 배선(21)과 데이터 배선(23)이 중첩으로 배치되어 복수의 화소영역을 정의하며, 상기 화소영역 내에는 복수의 공통전극(25)과 데이터 전극(27)이 상기 데이터 배선(23)과 대략 평행한 방향으로 배치된다. 참고적으로 도면은 단위화소만을 나타낸 것이다.

상기 화소영역 내에는 게이트 배선과 대략 평행한 방향으로 공통 배선(25a)이 형성되며 상기 공통전극(25)은 상기 공통배선(25a)으로부터 분기되며, 그것들은 일체형으로 형성된다.

상기 공통전극(25)과 데이터 전극(27)은 금속으로 형성되며, 상기 공통전극(25)과 게이트 배선(21)이 동일 공정에서 형성된다.

이와 같은 종래 횡전계방식 액정표시장치는 도면에 도시된 바와 같이, 화소영역 내에서 데이터 전극(27)과 공통전극(25)이 오버랩(Overlap)되는 영역('A'~'H')을 가지며, 상기 오버랩 영역에서의 에지 형태가 직각을 이루지만, 이는 설계상의 구조일 뿐, 실제로 패턴이 완성된 상태를 보면 도 2b에서와 같이 오버랩 영역에서의 에지는 라운드(Round) 형태를 띄게 된다.

이와 같이 오버랩 영역에서의 에지가 라운드 형태를 띄게 될 경우, 러빙 방향을 고려하면 'A' 영역 내지

'H' 영역 중 러빙 방향에 따라 전계의 왜곡이 발생하는 영역이 생긴다.

실제로, 러빙 방향이 도 2b에 도시된 방향이고, 데이터 전극(27)이 공통 전극(25)의 상부에 위치한다고 하면, 'A', 'C', 'F' 및 'H' 영역에서는 데이터 전극(27)의 에지 부분이 라운드(round) 형태를 띄며, 그 라운드 방향이 러빙 방향과 동일한 방향이기 때문에 공통전극(25)과 데이터 전극(27)간의 전계도 러빙 방향과 동일하다.

하지만, 'B', 'D', 'E' 및 'G' 영역에서는 데이터 전극(27)의 에지가 러빙 방향과 반대 방향으로 라운드가 형성되기 때문에 전계 역시 러빙 방향과 반대 방향으로 형성된다. 즉, 상기 'B', 'D', 'E' 및 'G' 영역에서는 액정의 회전 방향이 러빙 방향에 대해 역방향이 되므로 그 부분에서 전경(Discination)이 발생한다.

한편, 도 3a는 도 2b의 I-I'선에 따른 단면도이고, 도 3b는 도 2b의 II-II'선에 따른 단면도로서, 제 1 기판(30)과, 상기 제 1 기판(30) 상에 형성된 공통 전극(25)과, 상기 공통 전극(25)을 포함한 제 1 기판(30) 전면에 형성된 절연막(32)과, 상기 절연막(32) 상에 형성되며 상기 공통 전극(25)과 소정부분이 오버랩되는 데이터 전극(27)으로 구성된다.

참고로, 도면의 S1은 공통 전극(25)과 데이터 전극(27)간의 오버랩 면적을 나타낸 것이고, L1은 공통 전극(25)의 에지와 데이터 전극(27)의 에지간의 간격을 나타낸 것이다.

상기 제 1 기판(30)과 대향하는 제 2 기판(도시하지 않음)에는 제 1 기판(30)에 정의되는 화소영역을 제외한 영역으로 빛이 새는 것을 차단하기 위한 광차단층(도시하지 않음)과, 색상을 표현하기 위한 칼라필터층이 형성되며, 상기 제 1 기판과 제 2 기판과의 사이에는 액정층(도시하지 않음)이 배치된다.

이와 같은 종래 횡전계방식 액정표시장치는 외부의 구동회로로부터 구동전압이 인가되면 데이터 전극(27)과 공통 전극(25)간에는 기판과 평행한 횡전계가 발생한다. 따라서, 액정층 내에 배향된 액정 분자는 상기 횡전계를 따라 기판에 평행한 상태에서 회전하게 되며, 그 결과 액정층을 통과하는 빛의 양이 조절된다.

이때, 액정 분자가 기판에 평행한 상태에서 계조표시가 구동되기 때문에 시야각에 따른 광투과율의 차가 감소하게 된다.

발명이 이루고자하는 기술적 과제

그러나 상기와 같은 종래 횡전계방식 액정표시장치는 화소영역 내에 형성되는 데이터 전극과 공통 전극의 에지 부위가 러빙 방향과 관계없이 오버랩되기 때문에 부분적으로 러빙 방향과 반대 방향으로 전계가 형성되며, 그 부분에서 전경이 발생하게 되고, 그에 따라 휘도가 감소하게 되는 문제점이 있었다.

본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위해 안출한 것으로서, 공통전극과 데이터 전극간의 간격을 고려하여 두 전극간의 오버랩 형태를 조정함으로써 전경을 최소화하여 화질을 개선시킬 수 있는 횡전계방식 액정표시장치를 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기의 목적을 달성하기 위한 본 발명의 횡전계방식 액정표시장치는 제1기판 및 제2기판과, 상기 제1기판 상에 화소영역을 정의하는 게이트 배선 및 데이터 배선과, 상기 화소영역 내에 서로 교번하여 일정한 간격을 두고 형성된 복수의 공통 전극들 및 데이터 전극들과, 상기 게이트 배선과 평행한 방향으로 형성되며 상기 복수의 공통 전극들이 분기되는 공통배선과, 상기 각 게이트 배선과 데이터 배선의 교차 부근에 형성된 박막트랜지스터와, 상기 제 1 기판과 제 2 기판 사이에 형성된 액정층으로 구성되며, 상기 복수의 데이터 전극들은 일측이 상기 박막트랜지스터에 연결되고, 상기 데이터 전극과 공통 배선은 상기 공통 전극과 데이터 전극간에 발생하는 전계에 영향을 주지 않도록 최소의 면적으로 오버랩되는 것을 특징으로 한다.

또한, 상기 복수의 데이터 전극들의 타측이 상기 공통배선과 오버랩 또는 공통배선과 전단의 게이트배선과 동시에 오버랩되는 구조를 가질 수 있으며, 공통배선과 데이터 전극이 오버랩되는 에지영역에서 공통 배선과 데이터 전극간에 발생하는 전계가 러빙 방향과 역방향의 전계가 발생하지 않도록 오버랩되는 것을 특징으로 한다.

이하, 첨부된 도면을 참조하여 본 발명에 따른 횡전계방식 액정표시장치를 설명하기로 한다.

도 4는 본 발명의 제 1 실시예에 따른 횡전계방식 액정표시장치의 평면도로서, 서로 교차 배치되어 화소영역을 정의하는 게이트 배선(41) 및 데이터 배선(43)과, 상기 게이트 배선(41)과 데이터 배선(43)의 교차 부위에 형성되는 박막트랜지스터(45)와, 상기 화소영역 내에서 상기 데이터 배선(43)과 평행하게 형성되는 복수개의 데이터 전극(43a)들과, 상기 화소영역 내에서 상기 데이터 전극(43a, 43b)과 평행하게 형성되는 복수개의 공통 전극(47a, 47b, 47c)들로 구성된다.

여기서, 공통 전극(47a, 47b, 47c)은 화소영역 내에서 게이트 배선(41)과 대략 평행한 방향으로 연출(延出)된 공통 배선(47)으로부터 분기되어 상기 데이터 배선(43)과 평행한 방향으로 형성된 제 1 공통 전극(47a)과, 상기 공통 배선(47)으로부터 분기되며 상기 제 1 공통 전극(47a)과의 사이에 적어도 하나의 데이터 전극을 두고 제 1 공통 전극(47a)과 평행하게 형성된 제 2 공통 전극(47b)과, 상기 제 2 공통 전극(47b)과의 사이에 적어도 하나의 데이터 전극을 두고 제 2 공통 전극(47b)과 평행한 방향으로 형성된 제 3 공통 전극(47c)으로 구성되며, 상기 제 2 공통 전극(47b)과 제 3 공통 전극(47c)의 끝단은 서로 전기적으로 연결된 구조를 갖는다.

한편, 데이터 전극(43a)은 상기 박막트랜지스터(45)와 연결되어 상기 공통 배선(47)의 상부까지 연장되며 그 끝단이 공통 배선(47) 대비 그 안쪽에 위치하는 제 1 데이터 전극(43a)과, 상기 제 2 공통 전극(47b)과 제 3 공통 전극(47c) 사이에서 그것들과 평행하게 형성되며 그 끝단이 상기 공통 배선(47)

대비 그 안쪽에 위치하는 제 2 데이터 전극(43b)으로 구성되며, 제1 데이터 전극(43a)과 제 2 데이터 전극(43b)은 그 끝단이 서로 전기적으로 연결된 구조를 갖는다.

여기서, 상기 공통 배선(47) 및 제 1 공통 전극(47a) 내지 제 3 공통 전극(47c)은 모두 일체형이며, 제 1 데이터 전극(43a) 내지 제 2 데이터 전극(43b) 또한 일체형으로 구성된다.

실제로 완성된 패턴을 보면, 러빙 방향이 도면에 도시된 방향이라고 할 때, 종래에는 도 2에서와 같이, 'B', 'D', 'E' 및 'G' 영역에서는 바깥쪽에 위치한 전극 측, 데이터 전극의 에지가 러빙 방향과 반대 방향으로 라운드가 형성되고 이로 인해 액정의 회전 방향이 러빙 방향에 대해 역방향이 되므로 그 부분에서 전경이 발생하였다. 하지만, 본 발명의 제 1 실시예에서는 도 4에 나타난 바와 같이, 상기 영역에서의 데이터 전극(43a, 43b)의 에지를 공통 배선(47) 대비 그 안쪽에 위치시킴으로써, 상대적으로 바깥쪽에 위치한 전극의 에지가 러빙 방향과 동일한 방향으로 라운드가 형성되도록 하였다.

한편, 도 5는 본 발명의 제 2 실시예에 따른 횡절계방식 액정표시장치의 평면도로서, 오버랩되어 있는 공통 배선(47)과 데이터 전극(43a, 43b) 중 상대적으로 바깥쪽에 위치하는 것의 에지가 모두 러빙 방향과 동일한 방향으로 라운드가 형성되도록 선택적으로 데이터 전극(43a, 43b)을 공통 배선(47) 대비 그 안쪽에 위치시키되, 공통 배선(47a)의 에지(47e)와 데이터 전극(43a)의 에지(43e)간의 간격을 최대한 크게 한 구조이다.

이와 같은 구조는 단위 화소영역 내에 서로 평행하게 형성되어 있는 공통 전극과 데이터 전극간의 간격이 보다 큰 구조에 바람직한 실시형태이다.

다시 말해서, 도 4의 구조는 화소 영역 내에 형성된 데이터 전극과 공통 전극간의 간격이 좁은 경우에 전경을 제거하는데 효과적이며, 도 5는 상기 두 전극간의 간격이 큰 경우에 전경을 제거하는데 효과적이라고 할 수 있다.

즉, 화소 영역 내에서 서로 평행하게 배치되어 있는 공통 전극(47a, 47b, 47c)과 데이터 전극(43a, 43b)간에 발생하는 전계는 두 전극간의 간격이 멀어질수록, 일정한 오버랩 면적을 갖고 있는 공통 배선(47)과 데이터 전극(43a, 43b)간에 발생하는 전계를 무시할 수 없게 된다.

다시 말해서, 화소 영역 중앙부에 형성되어 있는 공통 전극(47a, 47b, 47c)과 데이터 전극(43a, 43b)간의 간격이 클수록, 공통 배선(47)과 데이터 전극(43a, 43b)간의 오버랩 면적이 상기 공통전극(47a, 47b, 47c)과 데이터 전극(43a, 43b)간에 발생하는 전계에 영향을 줄 수 있을 정도라면, 상기 오버랩되는 부분에서 미약하게나마 전계의 왜곡이 발생할 수 있으며, 이로 인해 전경(Discination)이 발생할 소지가 있다.

따라서, 도 5에 도시한 바와 같이, 화소 영역 내에서 서로 평행하게 배치되어 있는 공통 전극(47a, 47b, 47c)과 데이터 전극(43a, 43b)간의 간격을 고려하여 적어도 공통 배선(47)과 데이터 전극(43a, 43b)이 오버랩된 영역에서 발생하는 두 전극간의 전계가 상기 화소 영역 내에서 서로 평행하게 형성되어 있는 데이터 전극(43a, 43b)과 공통전극(47a, 47b, 47c)간의 전계에 영향을 주지 않도록 상기 공통 배선(47)과 데이터 전극(43a, 43b)의 오버랩 면적을 최소화한다.

상기 오버랩 면적을 최소화하는 방안으로서는 오버랩된 영역에서의 공통 배선(47)의 에지와 상기 공통 배선(47) 대비 그 안쪽에 위치하는 데이터 전극(43a, 43b)의 에지가 화소영역의 중앙부에서 발생하는 전계에 영향을 주지 않을 정도의 충분한 간격을 유지할 수 있도록 하였다.

참고로, 도 5에 도시한 구조는 화소 영역 내에 평행하게 형성되어 있는 공통 전극(47a, 47b, 47c)과 데이터 전극(43a, 43b)간의 간격이 3 μ m 이상이 되는 경우에 보다 효과적인데, 이는 두 전극(공통전극과 데이터 전극)간의 간격이 크더라도 오버랩 되어 있는 부분에서의 공통 배선의 에지와 데이터 전극의 에지가 충분한 간격을 확보함으로써 액정 분자의 방향자가 틀어지지 않도록 하기 때문이다.

그리고 도 6에 도시한 액정 방향자의 정렬 방향으로부터, 라운드 부분에서의 공통 배선(47)의 에지(47e)와 데이터 전극(43a)의 에지(43e)가 충분한 간격을 유지함으로써 상기 공통 전극(47a)과 데이터 전극(43a)간의 전계에 아무런 영향을 주지 않기 때문에 액정 방향자가 두 전극 사이에서 거의 수평 방향으로 위치하는 것을 알 수 있다.

한편, 도 7은 도 5의 III-III'선에 따른 단면도이다.

도 7에 도시한 바와 같이, 제 1 기판(40) 상에 공통 배선(47)이 형성되고, 상기 공통 배선(47) 상에 절연막(72)을 개재하여 데이터 전극(43a)이 형성되는데, 상기 공통 배선(47)과 데이터 전극(43a)간의 오버랩 면적(S2)이 종래의 구조(도 3a)와 비교할 때, 현저하게 작은 것을 알 수 있으며, 공통 배선(47)의 에지(47e)와 데이터 전극(43a)의 에지(43e)간의 거리(L2)가 종래의 구조에 비해 현저하게 증가함을 알 수 있다.

다시 말해서, 화소 영역 내에서 평행하게 형성된 공통 전극(47a, 47b, 47c)과 데이터 전극(43a, 43b)간의 거리가 증가함에도 불구하고 공통 배선(47)과 데이터 전극(43a, 43b)간의 오버랩 면적이 크면, 액정 분자의 방향자가 상기 평행하게 형성된 공통 전극(47a, 47b, 47c)과 데이터 전극(43a, 43b)간에 발생하는 전계 보다는 오버랩되어 있는 공통배선(47)과 데이터 전극(43a, 43b)간에 발생하는 전계에 더 많은 영향을 받을 수 있기 때문에, 본 발명에서는 상기 오버랩되어 있는 부분에서의 공통 배선(47)과 데이터 전극(43a, 43b)간의 전계가 액정 분자의 방향자에 영향을 주지 않도록 데이터 전극(43a, 43b)의 에지(43e)가 공통 배선(47) 대비 현저하게 안쪽에 위치하도록 하였다.

참고로, 도 8a 내지 8b는 본 발명 제 2 실시예에 따른 전계의 작용 방향을 도시한 것으로서, 도 8a는 공통 전극(47a)과 데이터 전극(43a) 사이의 정중앙 부위에서의 전계 작용 방향을 도시한 것이고, 도 8b는 정중앙 부위에서 우측(데이터 전극측)으로 조금 이동된 부위에서의 전계 작용 방향을 도시한 것이다.

이와 같이, 데이터 전극(43a)과 공통 전극(47a)간의 간격을 고려하여 공통 배선(47)의 에지(47e)와 데이터 전극(43a)의 에지(43e)간의 간격을 크게 확보함으로써, 라운드 부분에서의 전계 작용 각도는 편광판

의 흡수축에서 멀어지는 쪽으로 전계가 작용하기 때문에 전경이 발생하지 않는다.

결과적으로, 공통 전극과 데이터 전극 사이의 에지영역에서 수직으로 작용하는 전계보다 수평으로 작용하는 전계가 더 크도록 전극간의 간격을 설정해 줌으로써 전경을 제거할 수가 있다.

이와 같은 구조에서는 스토리지 커패시턴스(Storage capacitance)를 증가시킬 수 있으며, 공통 전극과 데이터 전극간의 간격 및 라운드된 완성 패턴에 따라 상측의 전극을 형성하는 거리를 가변할 수가 있다.

한편, 도 9는 본 발명의 제 3 실시예에 따른 횡전계방식 액정표시장치의 평면도이다.

도 9에 도시한 바와 같이, 본 발명의 제 3 실시예는 단위 화소 영역 내에 평행하게 형성되는 공통전극과 데이터 전극간의 간격이 도 5의 구조에 비해 훨씬 증가한 경우이다.

이와 같이 공통 전극과 데이터 전극간의 간격이 매우 큰 구조에는 라운드 부분에서의 전계가 화소영역 내에 평행하게 형성된 공통 전극과 데이터 전극간의 전계에 영향을 주지 않도록 상기 라운드 부분의 데이터 전극을 완전히 제거한 구조이다(데이터 전극의 제거된 부분은 점선으로 표시됨).

즉, 화소영역 내에서 공통 전극(47a, 47b, 47c)과 데이터 전극(43a, 43b)간의 간격이 도 5에 비해 더욱 더 멀어지므로 공통 배선(47)의 에지(47e)와 데이터 전극(43e)의 에지간의 간격은 더욱 증가하여야 하나, 설계상의 마진을 고려하여 도면에 도시한 바와 같이, 라운드 부분에서는 공통 배선(47)과 데이터 전극(43a)이 오버랩되는 면적이 생기지 않도록 데이터 전극(43a)을 완전히 제거(점선부분)하였다.

이와 같은 구조에서는 전계 작용 각도가 러빙 각도 이상으로 작용하기 때문에 전경(Discination)이 발생하지 않는다.

참고로, 도 10a는 도 9의 구조에서 두 전극간의 전계 작용 방향을 도시한 것이고, 도 10b는 액정 방향자의 정렬 방향을 도시한 것이다.

한편, 도 11은 본 발명의 제 4 실시예에 따른 횡전계방식 액정표시장치의 평면도이다.

본 발명의 제 1 실시예 내지 제 3 실시예는 단위 화소영역 내에서 데이터 전극(43a, 43b)이 공통 전극(47a, 47b)을 사이에 두고 그 양쪽에 형성되며, 상기 양쪽에 형성된 각각의 데이터 전극(43a, 43b)은 공통 배선(47) 상에서 서로 연결된 구조를 갖는다.

하지만, 본 발명의 제 4 실시예는 단위 화소영역 내에서 공통 전극(47a, 47b)을 사이에 두고 그 양쪽에 형성된 데이터 전극(43a, 43b)이 공통 배선(47) 상에서 서로 분리된 구조를 갖는다(점선 부분).

이와 같은 구조는 전계 작용 각도가 러빙 각도 이상으로 작용하기 때문에 전경이 발생하지 않으며, 풀 화이트(Full white) 대비 ~50% 정도의 휘도를 나타내므로 화면상에는 전혀 전경이 나타나지 않는다.

발명의 효과

이상에서 상술한 바와 같이, 본 발명의 횡전계방식 액정표시장치는 다음과 같은 효과가 있다.

러빙 방향을 고려하여 공통 전극과 데이터 전극간의 오버랩 형태를 변경하되, 상기 두 전극간의 오버랩이 전계에 영향을 주지 않도록 오버랩 면적을 최소화하거나 오버랩되는 면적이 없도록 함으로써, 공통 전극과 데이터 전극간의 간격이 충분히 큰 경우에도 개구율을 감소시키지 않으면서 전경이 발생하는 것을 방지할 수 있어 광시야각 및 화질을 개선시킬 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1

제1기판 및 제2기판;

상기 제1기판 상에 화소영역을 정의하는 게이트 배선 및 데이터 배선;

상기 화소영역 내에 서로 교번하여 일정한 간격을 두고 형성된 복수의 공통 전극들 및 데이터 전극들;

상기 게이트 배선과 평행한 방향으로 형성되며 상기 복수의 공통 전극들이 분기되는 공통배선;

상기 각 게이트 배선과 데이터 배선의 교차 부근에 형성된 박막트랜지스터;

상기 제 1 기판과 제 2 기판 사이에 형성된 액정층으로 구성되며,

상기 복수의 데이터 전극들은 일측이 상기 박막트랜지스터에 연결되고, 상기 데이터 전극과 공통 배선은 상기 공통 전극과 데이터 전극간에 발생하는 전계에 영향을 주지 않도록 최소의 면적으로 오버랩되는 것을 특징으로 하는 횡전계방식 액정표시장치.

청구항 2

제 1 항에 있어서, 상기 공통 전극들은,

상기 화소영역 내에서 상기 공통 배선으로부터 분기되어 상기 데이터 배선과 평행하게 형성된 제 1 공통 전극과,

상기 제 1 공통 전극과의 사이에 적어도 하나의 데이터 전극을 두고 상기 공통 배선으로부터 분기되는 제 2 공통 전극과,

상기 제 2 공통 전극과의 사이에 적어도 하나의 데이터 전극을 두고 그 끝단이 상기 제 2 공통 전극의 끝단과 연결되며 상기 공통 배선으로부터 분기되는 제 3 공통 전극으로 구성되는 것을 특징으로 하는 횡

전계방식 액정표시장치.

청구항 3

제 1 항에 있어서, 상기 각 게이트 배선과 데이터 배선의 교차 부위에 박막트랜지스터가 더 구비되는 것을 특징으로 하는 횡전계방식 액정표시장치.

청구항 4

제 1 항에 있어서, 상기 데이터 전극들은,

일측이 상기 박막트랜지스터와 연결되고 타측이 상기 공통 배선의 상부까지 연장되는 제 1 데이터 전극과,

상기 공통 배선의 상부에서 상기 제 1 데이터 전극과 연결되고, 상기 제 2 공통 전극과 제 3 공통 전극 사이에 형성되며 상기 제 1 데이터 전극의 일측과 연결되는 제 2 데이터 전극으로 구성되는 것을 특징으로 하는 횡전계방식 액정표시장치.

청구항 5

제 4 항에 있어서, 상기 공통 배선 상의 제 1 데이터 전극과 제 2 데이터 전극은 서로 분리되는 것을 특징으로 하는 횡전계방식 액정표시장치.

청구항 6

제 1 항에 있어서, 상기 공통 배선과 오버랩되는 데이터 전극은 그 애지부위가 선택적으로 상기 공통 배선 대비 그 안쪽 및 바깥쪽에 위치하는 것을 특징으로 하는 횡전계방식 액정표시장치.

청구항 7

제 6 항에 있어서, 상기 공통 배선 대비 안쪽 및 바깥쪽의 위치는 러빙 방향에 따라 달라지는 것을 특징으로 하는 횡전계방식 액정표시장치.

청구항 8

제 6 항에 있어서, 상기 공통 배선 대비 그 안쪽에 위치하는 데이터 전극의 에지는 그 바깥쪽에 위치하는 데이터 전극의 에지에 비해 상기 공통 배선의 에지로부터 더 멀리 떨어져 있는 것을 특징으로 하는 회전계방식 액정표시장치.

청구항 9

제 1 항에 있어서, 상기 데이터 전극들은,

일측이 상기 박막트랜지스터에 연결되고, 타측이 상기 공통배선과 오버랩되는 것을 특징으로 하는 횡전 계방식 액정표시장치.

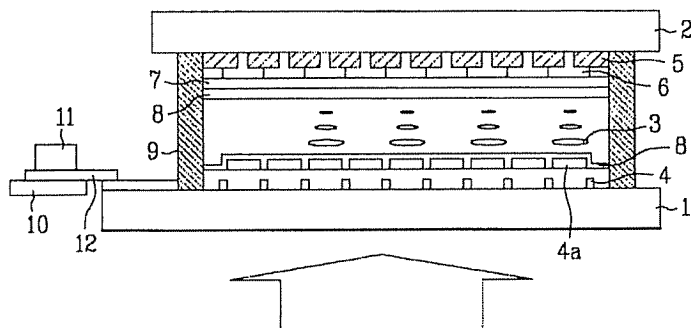
청구항 10

제 1 항에 있어서, 상기 데이터 전극들은,

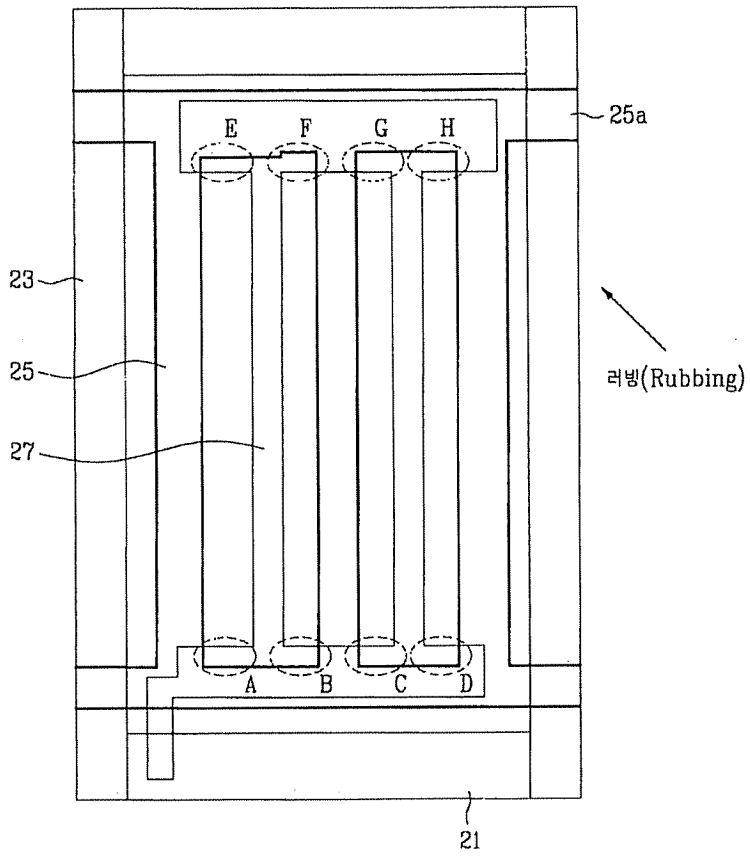
일측이 상기 박막트랜지스터에 연결되고, 타측이 상기 공통배선과 상기 전단의 게이트 배선과 오버랩되는 것을 특징으로 하는 횡전계방식 액정표시장치.

도면

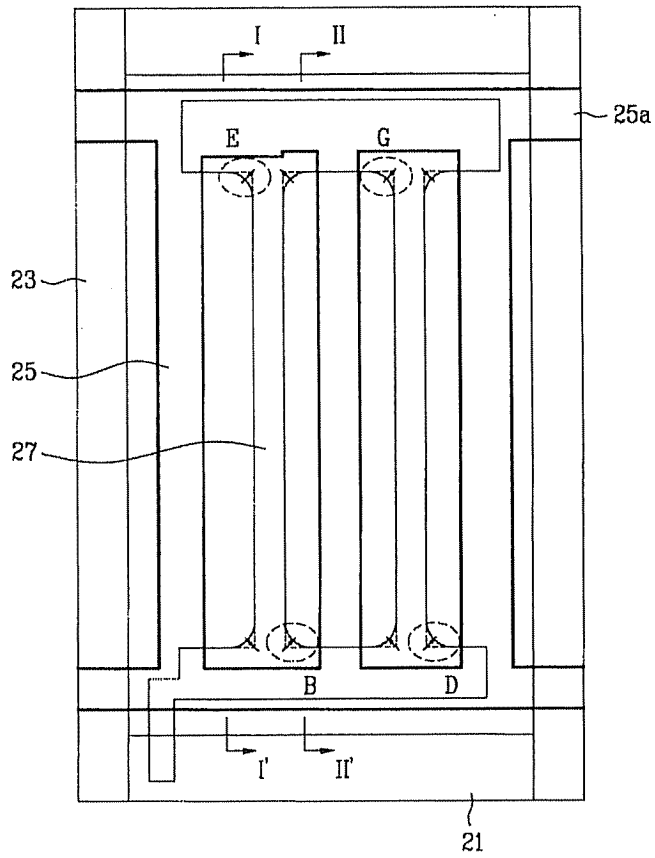
도면1



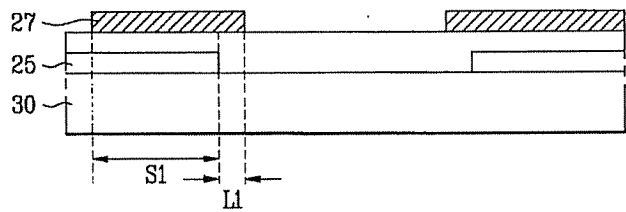
도면2a



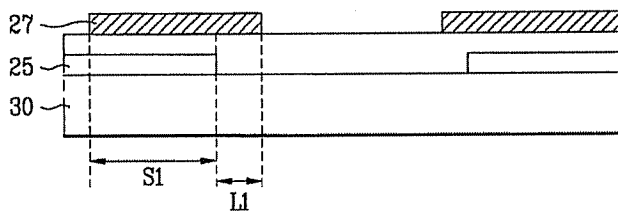
도면2b

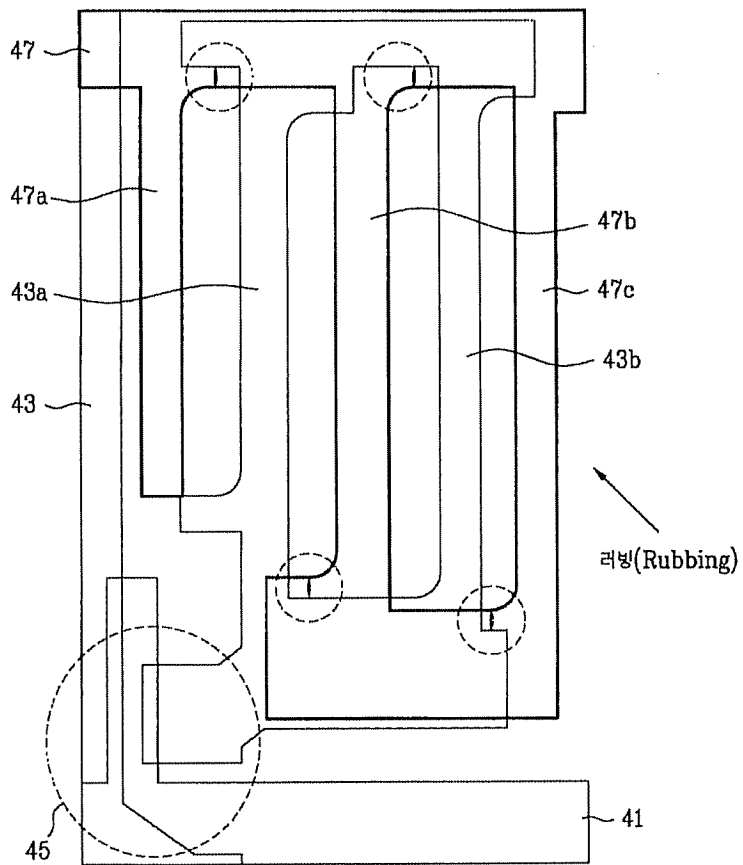


도면3a

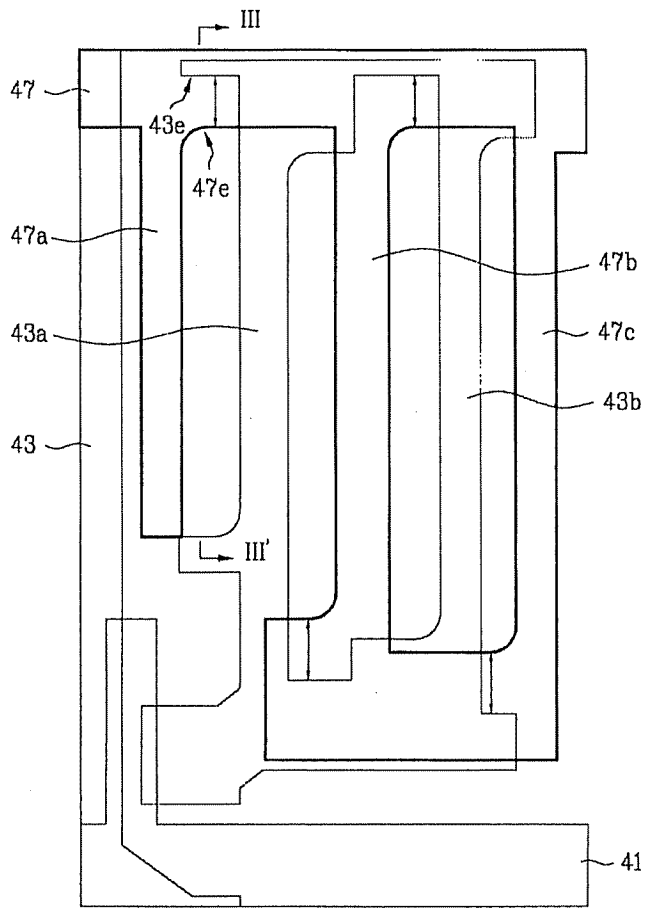


도면3b

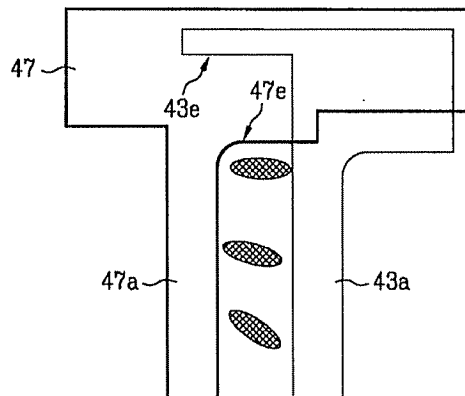




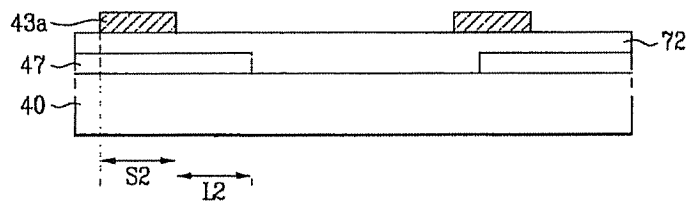
도면5



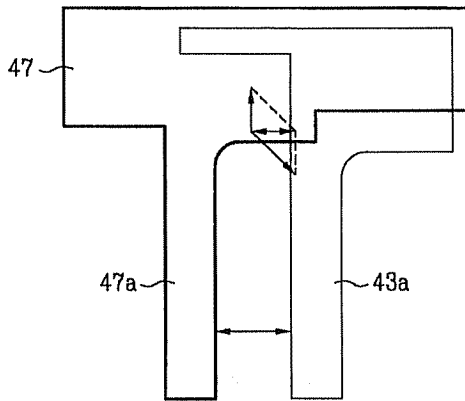
도면6



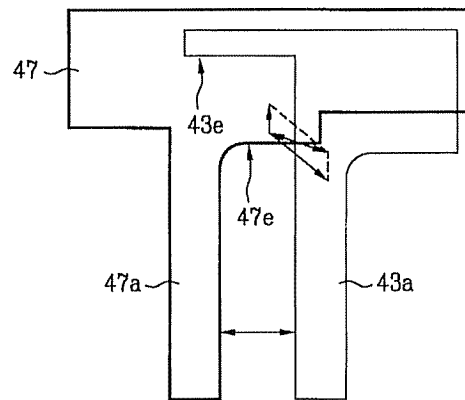
도면7



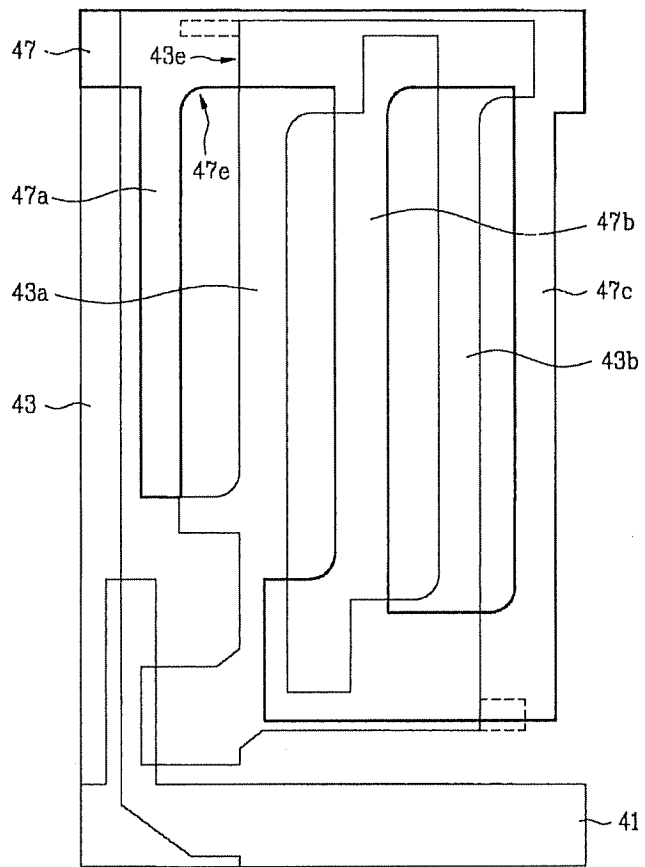
도면8a



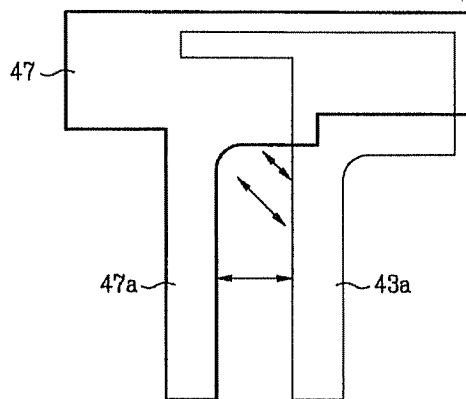
도면8b



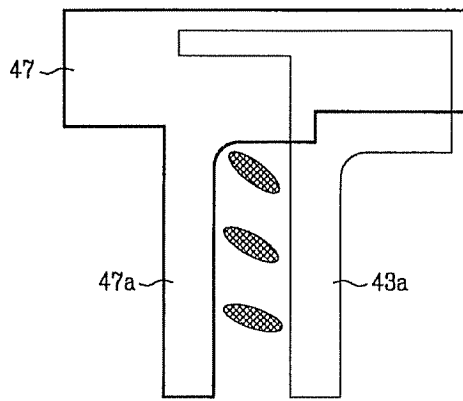
도면9



도면 10a



도면 10b



도면11

